



2FW

501.36127CC3

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: KOUBUCHI et al
Serial No.: 10/619,039
Filed: July 14, 2003
For: Semiconductor Integrated Circuit Device
Art Unit: 2814
Examiner: L. Pham

**SUBMISSION OF SUPPLEMENTAL APPLICATION DATA SHEET AND
REQUEST FOR CORRECTED FILING RECEIPT**

Mail Stop: Amendment (No Fee)
Commissioner For Patents
P.O. Box 1450
Alexandria, VA 22313-1450

June 14, 2004

Sir:

Applicants are submitting herewith the attached Supplemental Application Data Sheet correcting the filing date of applicants' Japanese priority application number 9-81013 to correctly read March 31, 1997.

Applicants request issuance of a corrected filing receipt showing applicants' foreign applications as follows:

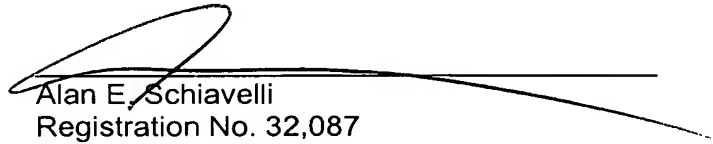
--Japan 9-81013, filed March 31, 1997; and
JP 10-33388, filed February 16, 1998.--

To the extent necessary, applicants petition for an extension of time under 37 CFR 1.136. Please charge any shortage in the fees due in connection with the filing of this paper, including extension of time fees, to the deposit account of Antonelli,

Terry, Stout & Kraus, LLP, Deposit Account No. 01-2135 (Case: 501.36127CC3),
and please credit any excess fees to such deposit account.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Alan E. Schiavelli
Registration No. 32,087

AES/jla
(703) 312-6600
Attachment

拒絶理由通知書

319800189
期限 16年 7 月 20日

特許出願の番号 平成10年 特許願 第033388号
起案日 平成16年 5月11日
特許庁審査官 松本 貢 7920 4M00
特許出願人代理人 筒井 大和 様
適用条文 第29条第2項、第29条の2

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願の下記の請求項に係る発明は、その出願の日前の特許出願であつて、その出願後に出願公開された下記の特許出願の願書に最初に添付された明細書又は図面に記載された発明と同一であり、しかも、この出願の発明者がその出願前の特許出願に係る上記の発明をした者と同一ではなく、またこの出願時において、その出願人が上記特許出願の出願人と同一でもないので、特許法第29条の2の規定により、特許を受けることができない。

2. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

【請求項1、10】

- ・理由 1
- ・引用文献等 1
- ・備考

本願の請求項1、10に係る発明と先願1の明細書及び図面（特に図1～3、13参照）に記載された発明とを対比すると、先願1の明細書及び図面における「配線下用のトレンチパターン25に酸化珪素膜22を埋め込み、前記酸化珪素膜上に配線41を形成したもの」は、本願の請求項1、10に係る発明における「ゲート配線は、ゲート配線下部にはダミー領域が形成されないように、素子

分離絶縁膜上に延在する」に相当しており、両者は実質同一である。

【請求項 2, 5】

- ・理由 2
- ・引用文献等 2
- ・備考

引用文献 2 には、半導体基板の活性領域及びダミー領域と、活性領域に形成された半導体素子と、活性領域およびダミー領域を規定する溝と、溝にCMP法によって平坦化された被膜を含む絶縁膜が埋込まれた素子分離絶縁膜とを有する半導体集積回路装置であって、活性領域を規定する素子分離領域は、ダミー領域および素子分離絶縁膜で構成されたものが記載されており（特に、図6～10、実施例5～6参照）、引用文献 2 には、本願の請求項 2, 5に係る発明の特徴である「ダミー領域および活性領域の間隔が、溝の深さの2倍以下である」ことが文言をもって記載されていない点で、同文献 2 と一応相違する。

しかしながら、引用文献 2 の図5～6には、ダミー領域および活性領域の間隔が、溝の深さの2倍以下であることが示されており、一般に、溝の幅とその深さをどの程度にするかは、当業者の設計的事項であるから、上記相違点のようにすることは、当業者が必要に応じて適宜なし得る程度のことである。

したがって、本願の請求項 2, 5に係る発明は、引用文献 2 に記載された発明に基いて、当業者が容易に発明をすることができたものである。

【請求項 3, 6】

- ・理由 2
- ・引用文献等 2
- ・備考

引用文献 2 には、半導体基板の活性領域及びダミー領域と、活性領域に形成された半導体素子と、活性領域およびダミー領域を規定する溝と、溝にCMP法によって平坦化された被膜を含む絶縁膜が埋込まれた素子分離絶縁膜とを有する半導体集積回路装置であって、活性領域を規定する素子分離領域は、ダミー領域および素子分離絶縁膜で構成されたものが記載されており（特に、図6～10、実施例5～6参照）、引用文献 2 には、本願の請求項 2, 5に係る発明の特徴である「ダミー領域幅は、最小ライン幅の2倍以上である」ことが文言をもって記載されていない点で、同文献 2 と一応相違する。

しかしながら、引用文献 2 には、ダミー領域が記載されており、その幅は最小ライン幅より広いことは、当業者には明らかであり、ダミー領域の幅をどの程度にするかは、当業者の設計的事項であって、確実に加工できることを意図して、最小ライン幅の2倍以上とすることは、当業者が任意に決定できることであるから、上記相違点のようにする点に、当業者の格別な創意工夫を要したということとはできない。

したがって、本願の請求項 3, 6 に係る発明は、引用文献 2 に記載された発明に基づいて、当業者が容易に発明をすることができたものである。

この拒絶理由通知書中で指摘した請求項以外の請求項 4, 7～9 に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引 用 文 献 等 一 覧

1. 特願平 07-336815 号 (特開平 09-181159 号公報参照)
2. 特開平 05-275527 号公報

この拒絶理由通知の内容に関する問い合わせ先

特許審査第 3 部 半導体機器 審査官 松本 貢

TEL. 03 (3581) 1101 内線 6405

FAX. 03 (3501) 0673